

交流阻抗谱低频电感行为的等效电路拟合

出现在高频范围内的电感行为很容易用系统的干扰，电极引线或体系自身的寄生电感来解释，例如，全电池的内部结构决定了高频寄生电感就比较强，电极引线越长的时候高频寄生电感也越高，并可能对体系的高频部分 EIS 测试带来干扰。其次，根据感抗的计算公式， $X_L=2\pi f \cdot L$ ， L 不变，频率越高，感抗就越大。

然而，低频下的电感行为仍然使许多人感到困惑。比如我们在做一些金属腐蚀，或 PSC 钙钛矿电池，或是 PMFC 燃料电池的交流阻抗测试的时候，经常会在低频下测出下面这样的半圆图形。对于这种低频电感行为的解释，引用最多的是电极表面的吸附过程。图 1 左侧 Nyquist 图可以更清楚地看到从 7Hz 附近开始往低频测试的时候，这个低频感抗的半圆形状并非继续出现在第一象限，而是出现在了第四象限。

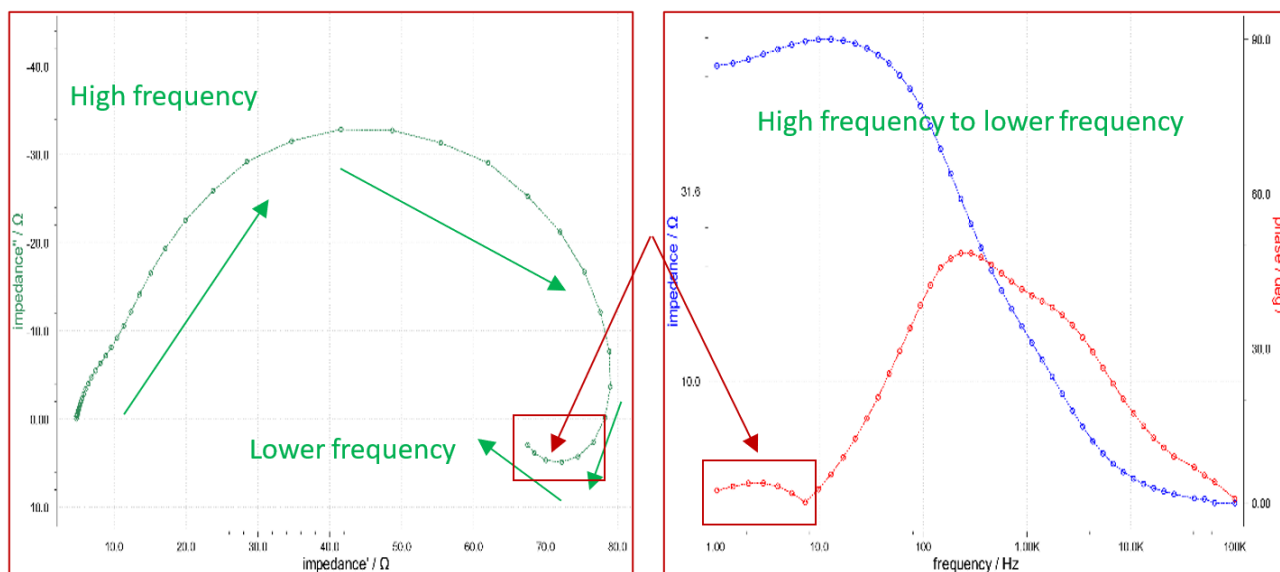


图 1. 从右侧的 Bode 上我们可以看出，低频的电感行为是从 7Hz 附近开始出现的（红色框部分）。

1. 低频下电感行为的等效电路模型和拟合

我们用 Zahner Analysis 的等效电路模拟功能模拟一个简单的有低频电感回路的图形：

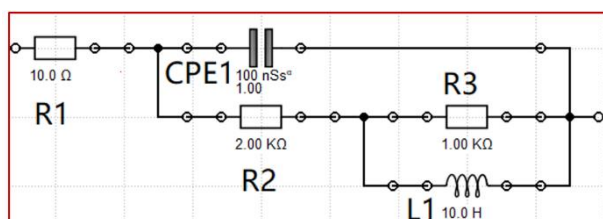


图 2 具有低频电感回路的等效电路

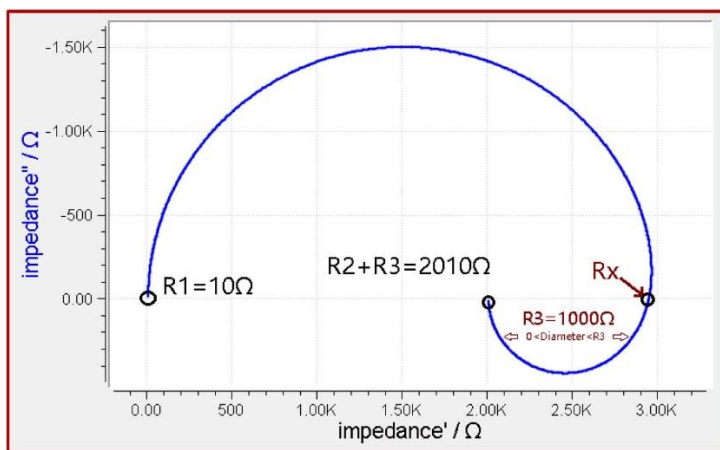


图 3: 图 2 等效电路的 Nyquist 图

结论: R_x 的值应该在 R_1+R_2 和 $R_1+(R_2+R_3)$ 之间

1. 当 $L_1 \parallel R_3$ 的时间常数 L_1/R_3 远小于 R_2 CPE1 的时间常数 $R_2 \cdot C_1$ 的时候, R_x 接近 R_1+R_2 。
2. 当 $L_1 \parallel R_3$ 的时间常数 L_1/R_3 远大于 $R_2 \parallel R_3 \parallel CPE1$ 的时间常数 $(R_2+R_3) \cdot C_1$ 的时候, R_x 接近 $R_1+(R_2+R_3)$ 。
3. 当我们在阻抗谱上能够看到第四象限明显的低频电感回路图形的时候, $L_1 \parallel R_3$ 的时间常数 L/R_3 往往都大于后者 $(R_2+R_3) \cdot C_1$, L 电感值往往都比较大。在等效电路图中可以看到, $L_1 \parallel R_3$ 的时间常数是 $0.01s$, $R_2 R_3 \parallel CPE1$ 的时间常数是 $3 \times 10^{-4}s$ 。

因此, 在实际等效电路拟合时候, 我们可以选择分段拟合, 比如对图 1 来说, 我们可以先用 $R_0-(R_1 \parallel CPE0)-(R_2 \parallel CPE1)$ 的等效电路拟合从 $100KHz$ 到 $7Hz$ 部分。此时得到第一象限的两个半圆的拟合图形 (图 4)。

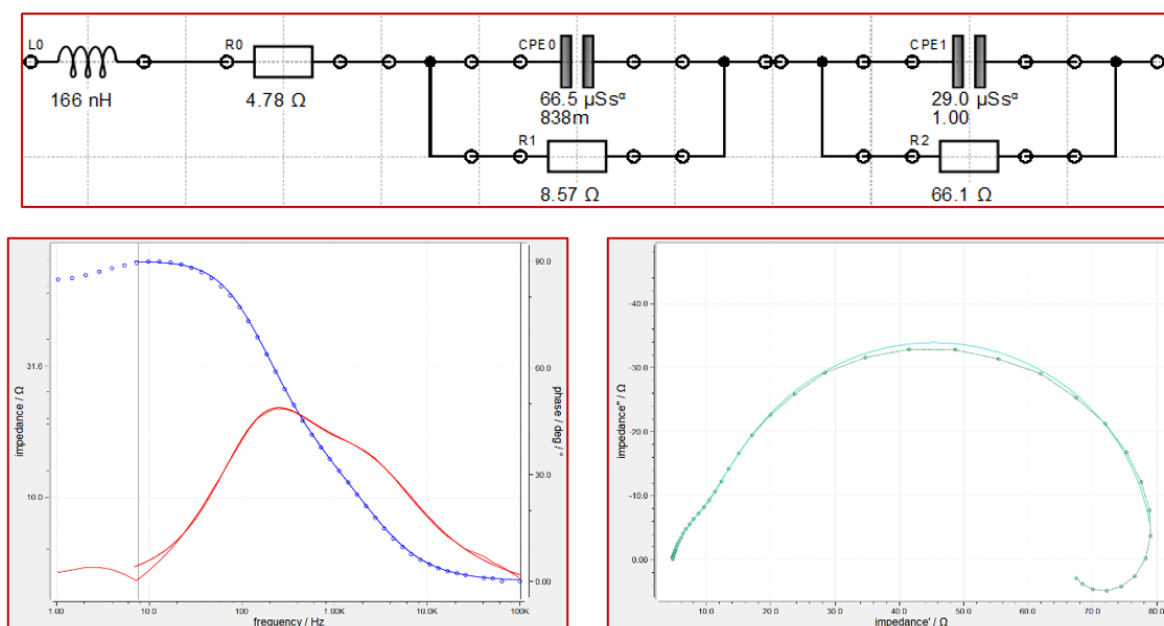


图 4 首先拟合 $100KHz-7Hz$ 的两个 RC 半圆

观察第四象限半圆直径可知，R3 的值应小于 15Ω，所以是 R2R3||CPE1 的时间常数 (R2+R3)*CPE1 大约是 0.0023s，L1||R3 的时间常数 L1/R3 往往都大于 (R2+R3)*C1，所以和 R3 并联的电感 L1 的值应该大于 0.0023*15，所以 L1 的初值我们取 0.5H，然后选择全部的频率范围并拟合计算。拟合结果如图 5：分别用 Nyquist 图和 Bode 图来叠加拟合图形和原始测量数据。

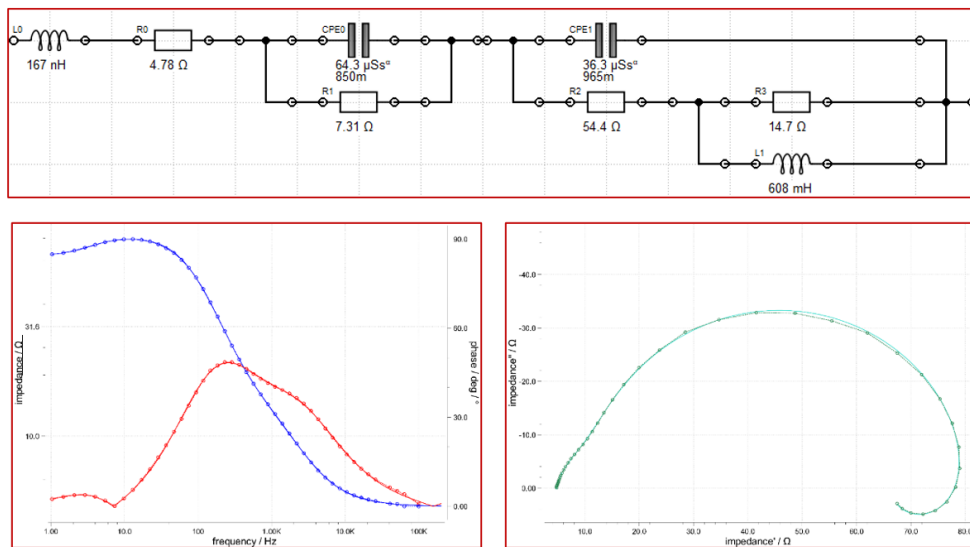


图 5：从左侧等效电路拟合得到的阻抗谱和原始数据叠加后的 Nyquist 和 Bode 图我们可以看出，低频下的电感行为得到了很好的拟合，且准确得到了 R2 值是 54.4Ω。L1||R3 的时间常数 L/R3 是 0.4136s，远大于 R2R3||CPE1 的时间常数 (R2+R3)*CPE1 0.0025s；Rx 值是 78Ω 左右，也非常接近 R0+R1+R2+R3 的值。

2. 自定义常相位角电感元件 CPL

由于理想电容 C 很难存在，日常在做等效电路拟合的时候，我们常用 CPE 常相位角元件来取代理想电容 C。

通过引入指数 α ，可以实现相位角在 -90°和 -45°之间的偏转，当 $\alpha=0.5$ 时在 Nyquist 上出现的是 -45°的斜线，当 $\alpha=1$ 即理想电容 C 时，在 Nyquist 上出现的是 -90°的直线，当然通过引入 CPE 也实现了 RC 并联在 Nyquist 图中半圆的偏转（图 6）。

$$\text{CPE 的阻抗计算公式: } Z_{CPE} = \frac{1}{Y_0} (j\omega)^{-\alpha}$$

$$\omega \text{ 为角频率即 } 2\pi f, Y_0 \text{ 是常相位角值 (单位 } s^\alpha/\Omega \text{ 或 } S \cdot s^\alpha), \text{ (当 } \alpha=1 \text{ 时, } Z_{CPE} = \frac{1}{j\omega Y_0})$$

关于 CPE 这一部分的详细内容，我们在此文中不作更详细介绍，请参考链接

<http://www.zahner.com.cn/Downloads> 中《Zahner Analysis 常相位角元件 CPE 讲解》一文。

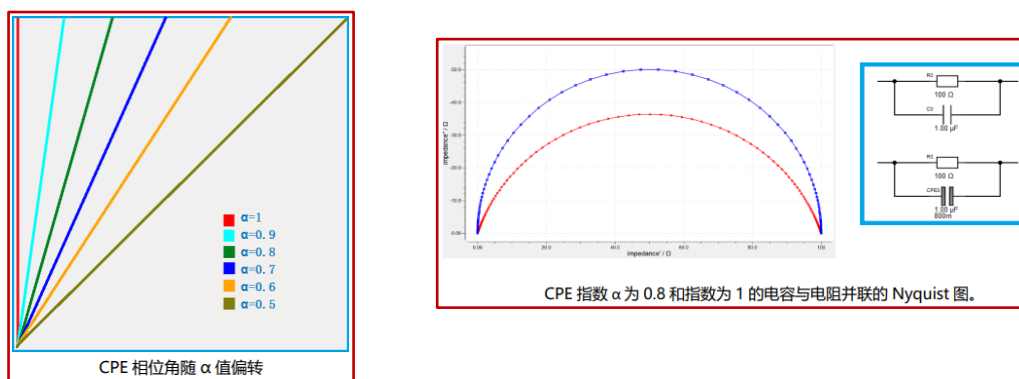


图 6 常相位角元件 CPE 特性

下面我们通过常相位角元件 CPE 的思路引入一个新的元件 CPL——常相位角电感元件，为了拟合 Nyquist 图中第四象限有时发生偏转的感抗弧，我们为原有的电感 L 元件，引入指数 α 。这样可以实现相位角在 90° 和 45° 之间的偏转 (图 7)，当 $\alpha=0.5$ 时在 Nyquist 上出现的是 45° 的斜线，当 $\alpha=1$ 即理想电感元件时，在 Nyquist 上出现的是 90° 的直线，当然通过引入 CPL 也实现了 RL 并联在 Nyquist 图中半圆的偏转。

$$\text{CPL 的阻抗计算公式: } Z_{CPL} = L_0(j\omega)^\alpha$$

ω 为角频率即 $2\pi f$ ， L_0 是常相位角电感值 (单位 $s^{\alpha-1}H$)，(当 $\alpha=1$ 时， $Z_{CPL} = j\omega L_0$)

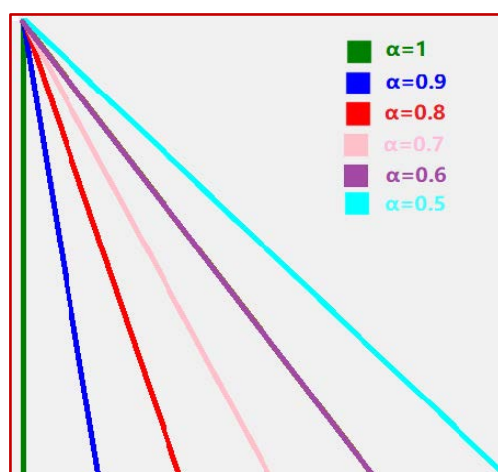


图 7 常相位角电感元件 CPL 相位角变化

3.ZHIT 算法

下面图 7 是某 PSC 钙钛矿电池在 1.5V 偏压暗态下测得的 EIS，初始的原始数据存在低频的漂移和假象，无法匹配等效电路模型。我们先通过德国 Zahner 特有的 ZHIT 算法 (“Impedance (Z)-Hilbert -Transformation” 阻抗希尔伯特转换) 修正阻抗谱 (图 8 中紫色线)，随后进行等效电路拟

合。关于 ZHIT 算法的详细介绍请参考 <http://www.zahner.com.cn/Downloads> 的《准确的 ZHIT 技术用于交流阻抗数据可靠性验证和重建》一文。

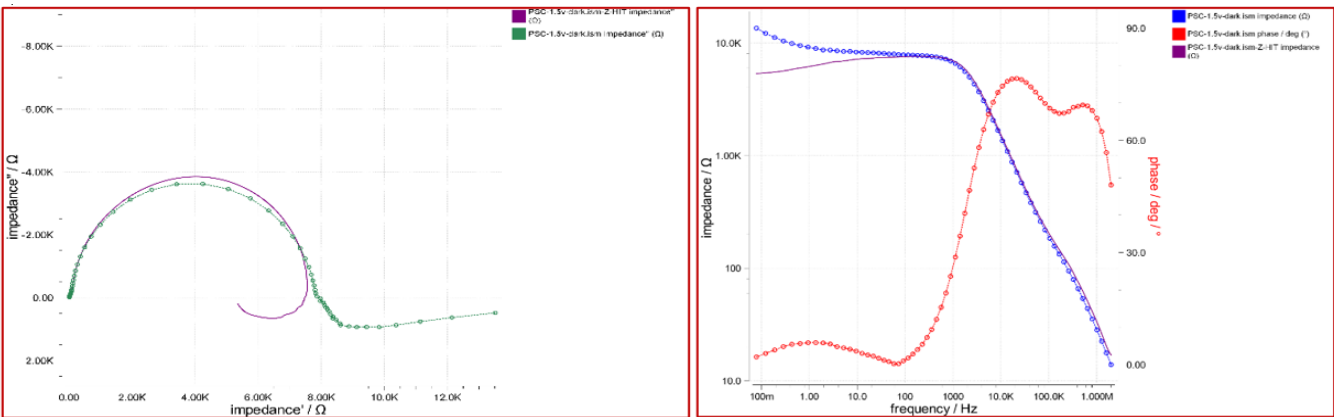


图 8：通过 ZHIT 算法低频处的阻抗模值得到修正，可以在 Nyquist 上看到在 76Hz 后出现了感抗弧，位于第四象限。

4.拟合步骤及拟合结果比较

我们先来用标准的电感元件和前文一样进行分段拟合，把低频感抗段和大于 76Hz 的中高频容抗段分开，拟合好前段后，根据感抗弧直径预估 R3 的初值是 2.3K Ω ，L0 的初值 2.54H 后进行 fit 计算，注意：fit 时要选择 ZHIT 数据。

Step1：拟合大于 76Hz 的频率范围（图 9）

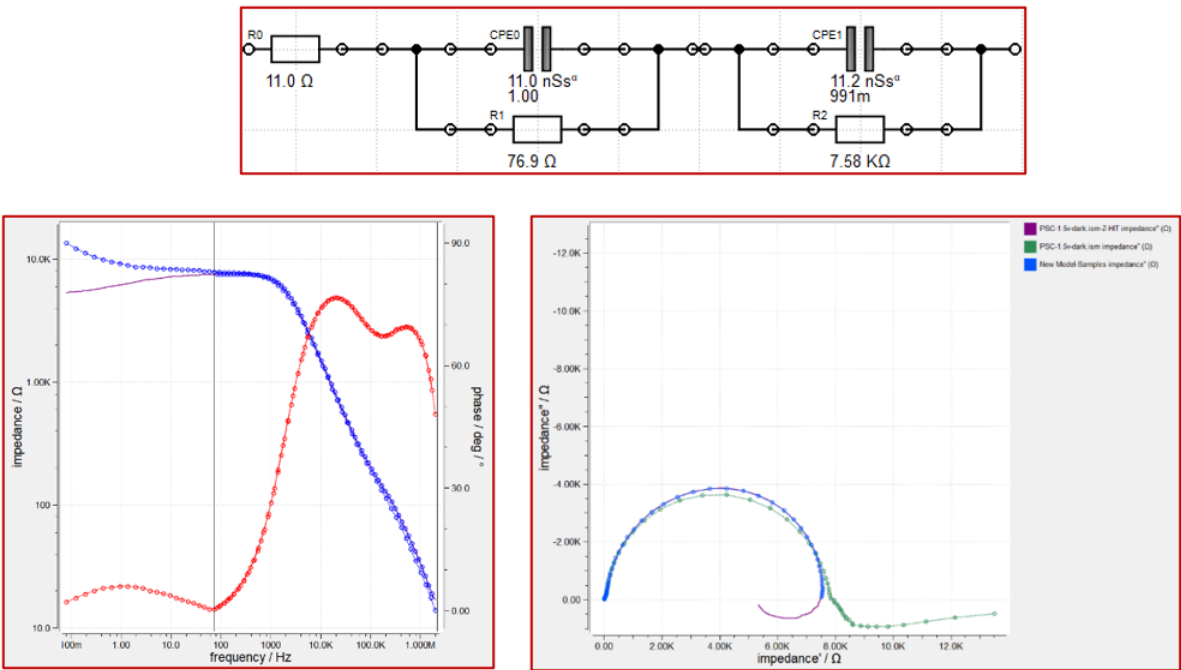


图 9 首先拟合 76Hz 以上部分

Step2：加入标准的电感元件拟合包括低于 76Hz 的感抗弧部分（图 10）

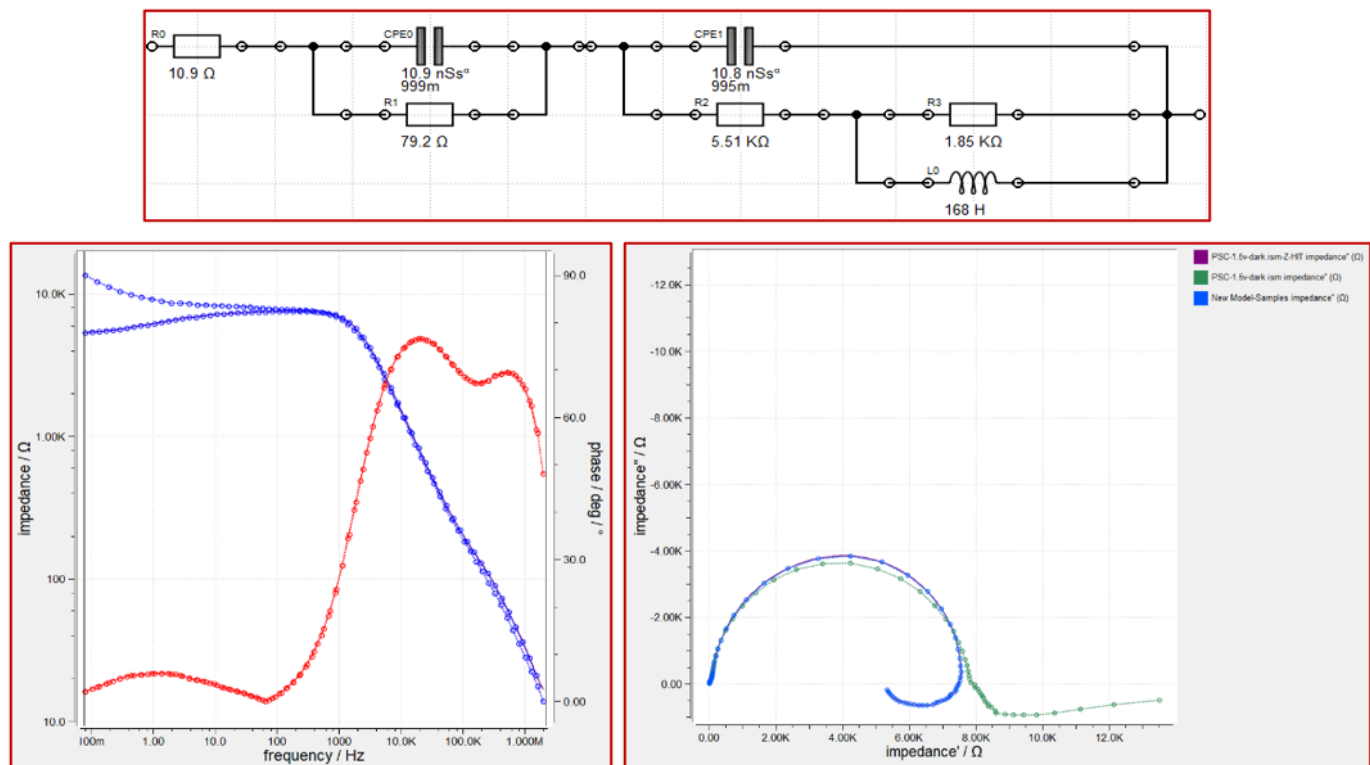


图 10 加入低频电感回路进行拟合

Element	Parameter	Value	Significance	Error
R0	R	10.9 Ω	0.469	22.50%
CPE0	Y_0	10.9 nSs ^α	0.334	8.10%
CPE0	α	999 m	5.142	0.65%
R1	R	79.2 Ω	0.197	8.29%
CPE1	Y_0	10.8 nSs ^α	0.754	3.16%
CPE1	α	995 m	7.996	0.15%
R2	R	5.51 KΩ	0.975	6.22%
R3	R	1.85 KΩ	0.247	11.85%
L0	L	168 H	0.077	35.76%

	mean	maximum
Modulus Impedance Error:	0.336%	9.79%
Phase Angle Error:	0.133°	2.16°
Overall Error:	4.2%	

图 11 加入电感回路拟合的误差结果

Step3: 用常相位角电感CPL替换标准电感元件

在上述拟合过程中，虽然我们看到 R2 值从 7.58KΩ 被修正到 5.51KΩ，但不难发现的是，虽然整体误差率不高，但 R2，R3 和 L0 的 error 值较高（图 11），这主要是因为低于 76Hz 的感抗弧部分并非正半圆，而是出现了偏转。为此，我们使用 Zaher Analysis 的自定义元件功能引入前边介绍的 CPL——常相位角电感元件。具体添加 CPL 步骤如下：

删除标准电感元件 L0 ——右击添加自定义元件 U0——双击编辑该元件属性：

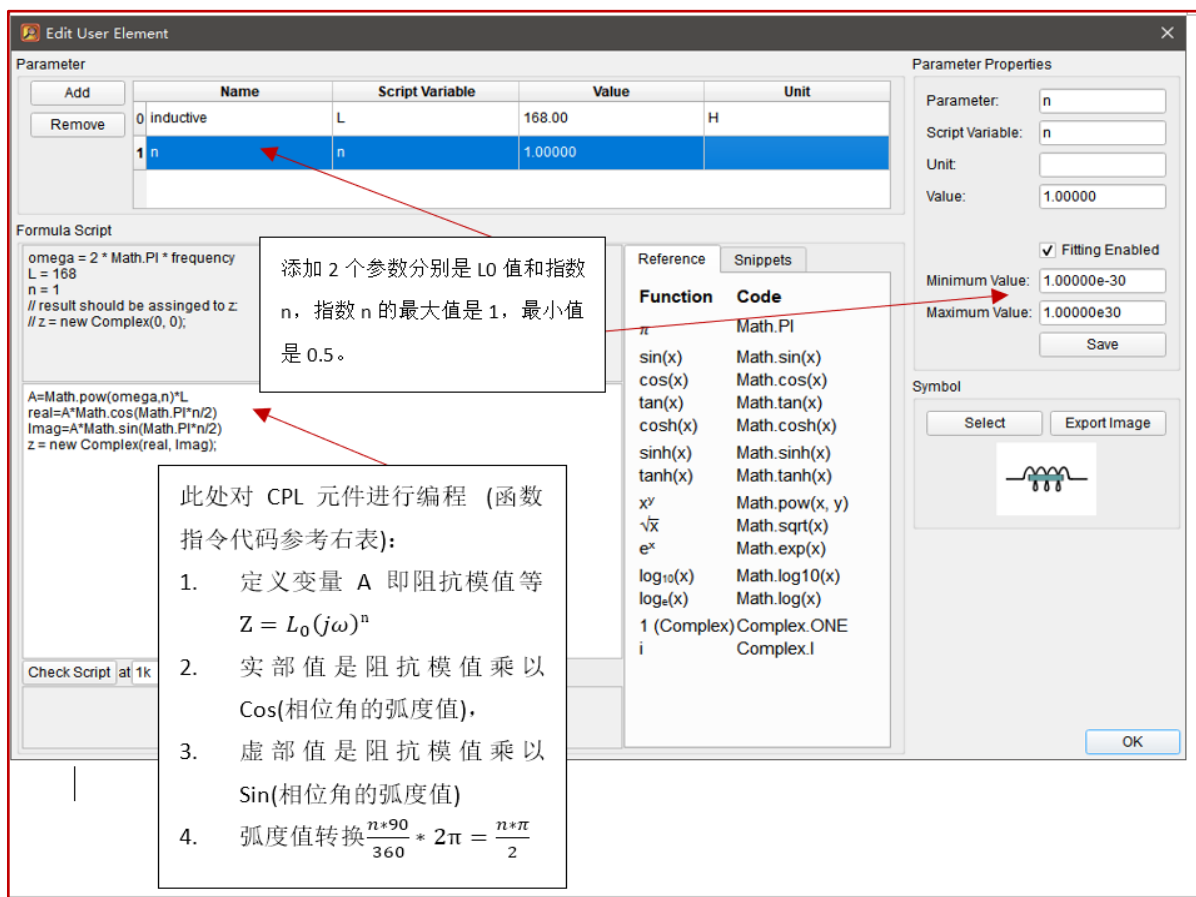


图 12 编辑常相位角电感元件

将 L0 更换为 CPL0 后我们再将 ZHIT 修正后的数据继续拟合，CPL 的常相位角值 L0 初值设为 168，指数值 n 初值设为 1 代表标准电感，拟合结果如下（图 13）：

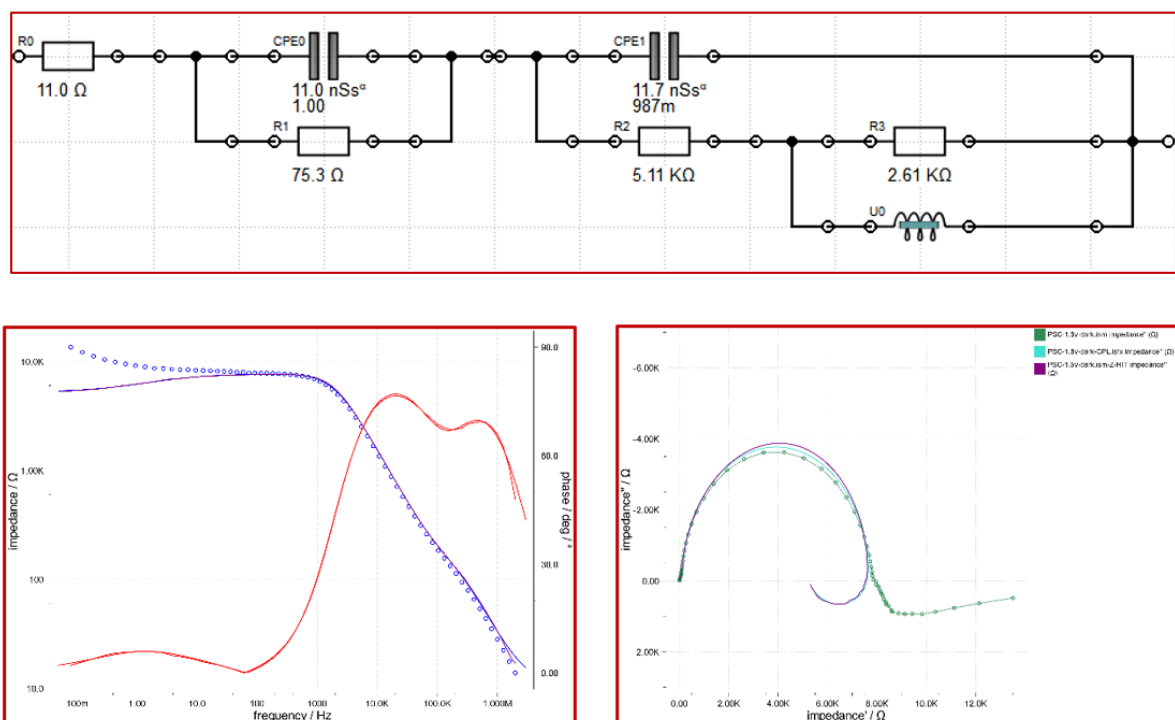


图 13 将标准电感元件替换为常相位角电感元件 CPL 进行拟合

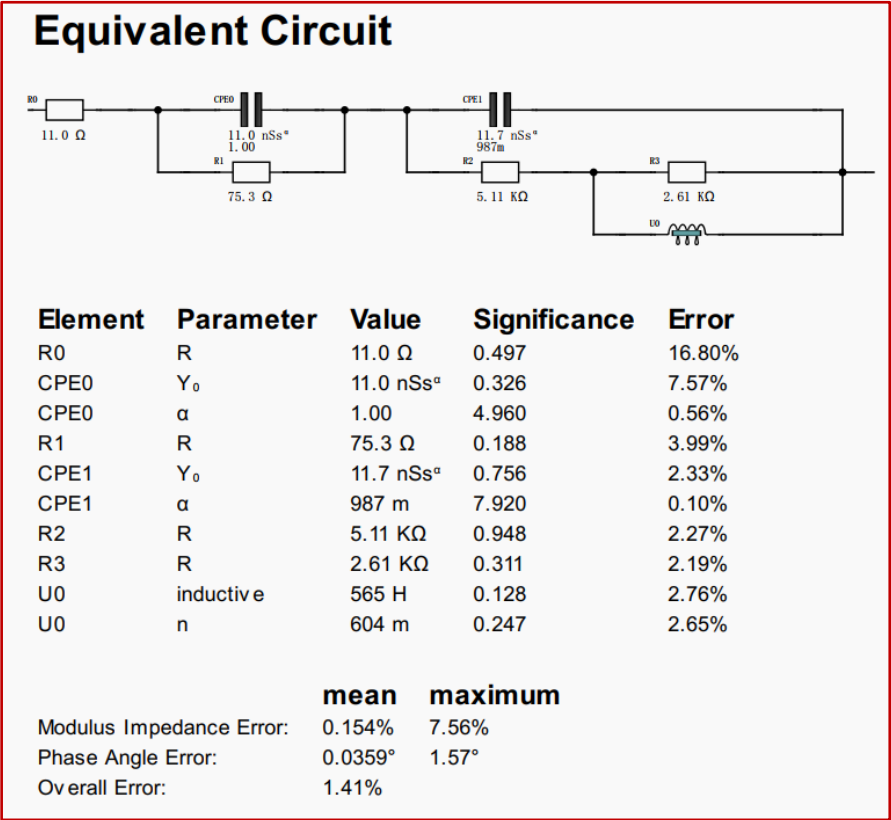


图 14 使用常相位角电感元件 CPL 进行拟合后的误差报告

通过引入常相位角电感元件 CPL 后，我们发现低于 76Hz 的感抗弧部分和等效电路模拟的图形更加接近，虽然 R2 值仍然是 5.11K Ω ，R3 仍然是 2.61K Ω ，但 U0，R2 和 R3 的 error 值都降到不到 3%，且等效电路拟合的整体 error 值降低到 1.41%（对比图 11，图 14）。